

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-166730

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

G09G 3/20
G02F 1/133

(21)Application number : 11-350558

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.12.1999

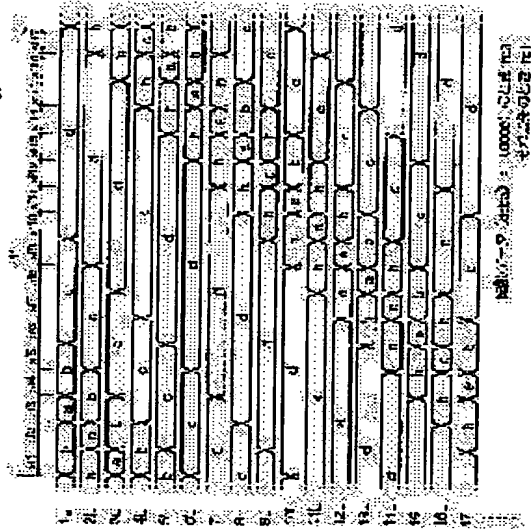
(72)Inventor : ITO AKIHIKO

(54) DRIVING METHOD FOR ELECTROOPTICAL DEVICE, DRIVING CIRCUIT THEREFOR, ELECTROOPTICAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the transfer rate in a subfield while suppressing display unevenness.

SOLUTION: Pixels disposed corresponding to respective intersections of plural scanning lines and plural data lines are turned ON or OFF in subfields sf1 to sf17 which are obtained by dividing a field in accordance with weight of gradation data (dcba) showing gradation of the pixels and, also, the reference time of the weight with respect to the gradation data is shifted for every scanning line and for every subfield.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-166730
(P2001-166730A)

(43)公開日 平成13年 6 月22日 (2001. 6. 22)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E 2 H 0 9 3
	6 8 0		6 8 0 S 5 C 0 8 0
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0

審査請求 未請求 請求項の数 8 O L (全 20 頁)

(21)出願番号	特願平11-350558	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22)出願日	平成11年12月 9 日 (1999. 12. 9)	(72)発明者	伊藤 昭彦 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		(74)代理人	100093388 弁理士 鈴木 喜三郎 (外 2 名)
		Fターム (参考)	2H093 NA55 NA80 NC13 NC34 NC90 ND06 ND39 NE10 NG02 NG20 5C080 AA06 AA10 AA18 BB05 DD05 EE29 FF12 GG12 JJ02 JJ03 JJ04 JJ05 JJ06

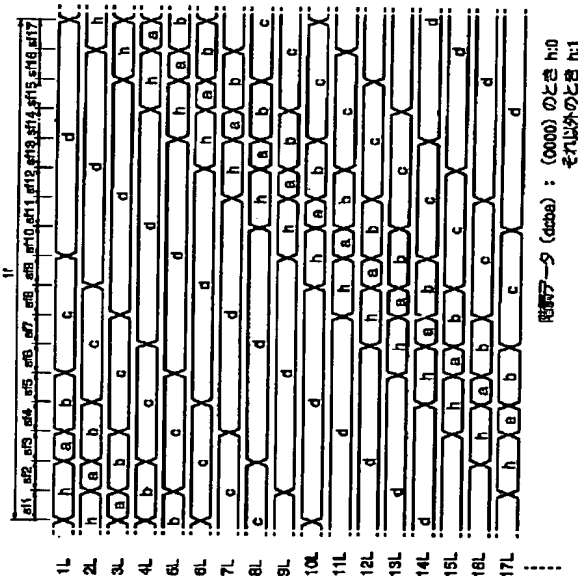
(54) 【発明の名称】 電気光学装置の駆動方法、その駆動回路、電気光学装置および電子機器

(57) 【要約】

【課題】 表示ムラを抑えた上で、1サブフィールドにおけるデータの転送レートを低減する。

【解決手段】 複数の走査線と複数のデータ線との各交差に対応して配設された画素を、当該画素の階調を示す階調データ (d c b a) の重みに応じ、1フィールド

(1 f) を分割したサブフィールド s f 1 ~ s f 1 7 にてオンまたはオフさせるとともに、階調データに対する重みの基準時を、走査線毎に、かつ、サブフィールド毎にシフトさせる。



【特許請求の範囲】

【請求項 1】 複数の走査線と複数のデータ線との各交差に対応して配設された画素を、当該画素の階調を示す階調データの重みに応じ、1 フィールドを分割したサブフィールドを単位として、オン状態またはオフ状態とするともに、
前記階調データに対する重みの基準時を、前記走査線毎に、かつ、前記サブフィールド毎にシフトさせたことを特徴とする電気光学装置の駆動方法。

【請求項 2】 各サブフィールドにおいて、前記重みの基準時が到来している走査線を所定の順番で選択する一方、
当該サブフィールドにおける、ある 1 本の走査線の選択と、その次のサブフィールドにおける、それに隣接する走査線の選択とを、互いに同一番目の水平走査期間にて行うことを特徴とする請求項 1 に記載の電気光学装置の駆動方法。

【請求項 3】 複数の走査線を所定の本数毎にブロック化し、各サブフィールドにおいて、前記各ブロックを所定の順番で選択するとともに、選択されたブロック内において、前記重みの基準時が到来している走査線を所定の順番で選択する一方、
当該サブフィールドにおける、ある 1 本の走査線の選択と、その次のサブフィールドにおける、それに隣接する走査線の選択とを、互いに同一番目の水平走査期間にて行うことを特徴とする請求項 1 に記載の電気光学装置の駆動方法。

【請求項 4】 複数の走査線と複数のデータ線との各交差に対応して配設された画素を、当該画素の階調を示す階調データの重みに応じ、1 フィールドを分割したサブフィールドを単位として、オン状態またはオフ状態とするとともに、

前記階調データに対する重みの基準時を、前記走査線毎に、かつ、前記サブフィールド毎にシフトさせた電気光学装置の駆動回路であって、
各サブフィールドにおいて、前記重みの基準時が到来している走査線を所定の順番で選択する走査線駆動回路と、

前記走査線駆動回路により選択された走査線と交差する画素に対して、当該画素のオン状態またはオフ状態を指示するデータを、対応するデータ線を介して供給するデータ線駆動回路とを具備することを特徴とする電気光学装置の駆動回路。

【請求項 5】 複数の走査線と複数のデータ線との各交差に対応して配設されるスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する画素を備え、

前記画素を、当該画素の階調を示す階調データの重みに応じ、1 フィールドを分割したサブフィールドを単位として、オン状態またはオフ状態とするとともに、

前記階調データに対する重みの基準時を、前記走査線毎に、かつ、前記サブフィールド毎にシフトさせた電気光学装置であって、

各サブフィールドにおいて、前記重みの基準時が到来している走査線を所定の順番で選択する走査線駆動回路と、

前記走査線駆動回路により選択された走査線と交差する画素に対して、当該画素のオンまたはオフを指示するデータを、対応するデータ線を介して供給するデータ線駆動回路とを具備することを特徴とする電気光学装置。

【請求項 6】 前記画素は、前記画素電極と対向電極とを電気光学材料を介在させて対向させ、前記対向電極に印加される電圧レベルを所定の期間毎に反転させるとともに、この反転に応じて、前記画素のオン状態またはオフ状態を指示するデータの電圧を、前記対向電極に印加される電圧レベルを基準として反転させることを特徴とする請求項 5 に記載の電気光学装置。

【請求項 7】 前記対向電極に印加される電圧レベルを一定とするとともに、前記画素のオン状態またはオフ状態を指示するデータの電圧を、前記対向電極に印加される電圧レベルを基準として、所定の期間毎に反転させることを特徴とする請求項 5 に記載の電気光学装置。

【請求項 8】 請求項 5 乃至 7 にいずれか記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、時間軸における変調により階調表示を行う電気光学装置の駆動方法、その駆動回路、電気光学装置および電子機器に関する。

【0002】

【従来の技術】電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器や液晶テレビなどの表示部に広く用いられている。ここで、従来の電気光学装置は、例えば、マトリクス状に配列した画素電極や、この画素電極に接続されたスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板の間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、ある 1 本の走査線を選択すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介し画素電極に対して、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化する。このため、画素毎に濃

度が変化するので、階調表示することが可能となる。

【0003】この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、各走査線を順次選択するとともに、第2に、選択された走査線と交差する画素に、当該画素の階調に応じた電圧を有する画像信号を、対応するデータ線に印加する構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0004】

【発明が解決しようする課題】しかしながら、データ線に印加される画像信号は、画素の階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。さらに、これらのD/A変換回路・オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難となり、特に高精細な表示を行う場合に顕著となるという問題がある。また、D/A変換回路やオペアンプ等による消費電力の増加等の問題もある。

【0005】本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、高品質・高精細な階調表示や低消費電力化が可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子機器を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本件第1の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素を、当該画素の階調を示す階調データの重みに応じ、1フィールドを分割したサブフィールドを単位として、オン状態またはオフ状態とするとともに、前記階調データに対する重みの基準時を、前記走査線毎に、かつ、前記サブフィールド毎にシフトさせたことを特徴としている。

【0007】この第1の発明によれば、1フィールドにおいて、画素のオンまたはオフの期間が、当該画素の階調を示す階調データに応じて時間軸上の変調（パルス幅変調ともいう）が行われる結果、実効値制御による階調表示されることになる。この際、各サブフィールドにおいては、画素がオンまたはオフするだけであるので、画素への指示信号は、データ（すなわち、LレベルまたはHレベルしか取り得ないデジタル信号）で済み、アナログ信号の処理回路が不要となる。したがって、第1の発明によれば、D/A変換回路やオペアンプなどが不要となる上に、これらの回路特性や、各種の配線抵抗などの不均一性に起因する表示ムラを抑えることが可能となる。また、低消費電力化も可能となる。

【0008】さらに、第1の発明によれば、階調データに対する重みの基準時が、走査線毎に、かつ、サブフィールド毎にシフトしているので、各サブフィールドにお

いて走査線のすべてを順番に選択する必要がなく、重みの基準時が到来している走査線のみを選択すれば足りる。このため、1サブフィールドにおけるデータの転送レートを低減することが可能となる。

【0009】なお、本発明において、階調データに対する重みの基準時とは、図7に示されるように、1フィールド1fをサブフィールドsf1～sf17に分割するとともに、画素の階調を示す階調データの各ビットに対して、そのビットが指示する階調の重みに応じたパルス幅期間に相当するサブフィールド数をそれぞれ割り当てた場合に、その割り当てた各期間のうち、例えば先頭のタイミングをいう。ここで、画素の階調を指示する場合には、必ず2値的な階調データで指示を行うが、その階調データと実際の表示階調とは、1対1に対応しない場合があるので（例えば、階調データが4ビットでも、特定のビットを無視することによって8階調表示しか行わない場合があり得るので）、また、後述する実施形態で説明するように、階調データ以外の補正ビットhにもサブフィールドを割り当てる場合もあるので、本発明では、単に、階調データに対する重みの基準時と表現した。

【0010】また、本発明において、1フィールドとは、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスト画像を形成するのに要する期間という意味である。したがって、ノンインターレース方式などにおける1フレームも、本発明にいう1フィールドに相当する。

【0011】さて、第1の発明では、走査線を選択する順番が各サブフィールドにわたって異なるため、重みの基準時が到来している走査線を順番に単純に選択するだけでは、画素がオンまたはオフする期間も走査線毎に異なってしまう場合がある。そこで、第1の発明では、各サブフィールドにおいて、前記重みの基準時が到来している走査線を所定の順番で選択する一方、当該サブフィールドにおける、ある1本の走査線の選択と、その次のサブフィールドにおける、それに隣接する走査線の選択とを、互いに同一番目の水平走査期間にて行う態様が望ましい。この態様によれば、画素がオンまたはオフする期間を、各走査線（に位置する画素）にわたって揃えることができる。

【0012】また、このようにオンまたはオフ期間を揃えることは、走査線を所定の本数毎にブロック化し、各サブフィールドにおいて、前記各ブロックを所定の順番で選択するとともに、選択されたブロック内において、前記重みの基準時が到来している走査線を所定の順番で選択する一方、当該サブフィールドにおける、ある1本の走査線の選択と、その次のサブフィールドにおける、それに隣接する走査線の選択とを、互いに同一番目の水平走査期間にて行う態様でも可能である。

【0013】次に、上記目的を達成するために、本件第2の発明は、複数の走査線と複数のデータ線との各交差

に対応して配設された画素を、当該画素の階調を示す階調データの重みに応じ、1フィールドを分割したサブフィールドを単位として、オン状態またはオフ状態とするとともに、前記階調データに対する重みの基準時を、前記走査線毎に、かつ、前記サブフィールド毎にシフトさせた電気光学装置の駆動回路であって、各サブフィールドにおいて、前記重みの基準時が到来している走査線を所定の順番で選択する走査線駆動回路と、前記走査線駆動回路により選択された走査線と交差する画素に対して、当該画素のオン状態またはオフ状態を指示するデータを、対応するデータ線を介して供給するデータ線駆動回路とを具備することを特徴としている。この第2の発明においても、上記第1の発明と同様な理由により、不均一性に起因する表示ムラを抑えて高品質かつ高精細な階調表示が可能になるとともに、1サブフィールドにおけるデータの転送レートを低減することも可能となる。

【0014】くわえて、上記目的を達成するために、本件第3の発明は、複数の走査線と複数のデータ線との各交差に対応して配設されるスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する画素を備え、前記画素を、当該画素の階調を示す階調データの重みに応じ、1フィールドを分割したサブフィールドを単位として、オン状態またはオフ状態とするとともに、前記階調データに対する重みの基準時を、前記走査線毎に、かつ、前記サブフィールド毎にシフトさせた電気光学装置であって、各サブフィールドにおいて、前記重みの基準時が到来している走査線を所定の順番で選択する走査線駆動回路と、前記走査線駆動回路により選択された走査線と交差する画素に対して、当該画素のオン状態またはオフ状態を指示するデータを、対応するデータ線を介して供給するデータ線駆動回路とを具備することを特徴としている。この第3の発明においても、上記第1および第2の発明と同様な理由により、不均一性に起因する表示ムラを抑えて高品質かつ高精細な階調表示が可能になるとともに、1サブフィールドにおけるデータの転送レートを低減することも可能となる。

【0015】ここで、第3の発明において、画素電極と対向電極との間に介在する電気光学材料に直流成分が印加されると、当該電気光学材料が劣化する場合があるので、前記対向電極に印加される電圧レベルを所定の期間毎に反転させるとともに、この反転に応じて、前記画素のオン状態またはオフ状態を指示するデータの電圧を、前記対向電極に印加される電圧レベルを基準として反転させる構成、または、前記対向電極に印加される電圧レベルを一定とするとともに、前記画素のオン状態またはオフ状態を指示するデータの電圧を、前記対向電極に印加される電圧レベルを基準として、所定の期間毎に反転させる構成が望ましい。

【0016】さらに、上記目的を達成するために、本件第4の発明は、上記電気光学装置を備えているので、不

均一性に起因する表示ムラを抑えて高品質かつ高精細な階調表示が可能になるとともに、1サブフィールドにおけるデータの転送レートを低減することも可能となる。

【0017】

【発明の実施の形態】＜理論的前提＞まず、本発明の実施形態に係る電気光学装置について説明する前に、本発明による階調表示の理論的前提について簡単に説明することとする。一般に、電気光学材料として液晶を用いた液晶装置において、画素を構成する液晶層に印加される電圧実効値（印加するオン電圧を一定として、オン電圧のパルス幅を変化させた場合）と相対透過率（または反射率）との関係は、電圧無印加状態において黒表示を行うノーマリーブラックモードを例にとれば、図5に示されるような関係にある。すなわち、液晶層に印加される電圧実効値がA（V）からB（V）までの範囲内において、透過率（または反射率）が変化する関係となっている。なお、ここでいう相対透過率とは、透過光量の最低値および最高値を、それぞれ0%および100%として正規化したものである。

【0018】ここで、本実施形態に係る電気光学装置が、4ビットで示される階調（濃淡）データにしたがって16階調表示を行うものとする、従来では、階調データに対応するアナログ電圧が、データ線を介して液晶層に印加される構成となっていた。このため、「従来の技術」の欄で説明したように、アナログ電圧は、D/A変換回路やオペアンプなどのアナログ回路の特性や、各種の配線抵抗などのばらつきによる影響を受けやすく、さらに、この影響が画素同士でみて不均一となり易いので、高品質かつ高精細な階調表示が困難であった。

【0019】そこで、本実施形態に係る電気光学装置は、第1に、データ線に印加する信号を2値的なビットデータとするとともに、このビットデータを用いて、1フィールドの期間において液晶層に印加される電圧実効値をパルス幅制御する構成となっている。すなわち、液晶層に印加される瞬間的な電圧を、ビットデータにしたがって2値的とするとともに、1フィールドの期間にわたって液晶層に印加される電圧実効値を、階調データにしたがって制御することで、階調表示を行う構成となっている。

【0020】ここで、透過率0%を指示する階調データを（0000）とし、以降、透過率を高くなる方向に順番に階調データを（0001）、（0010）、（0011）、…、（1111）とする。この際、（0000）を除く15個の階調データに対して、A（V）からB（V）までの範囲で、それぞれ異なる電圧実効値を1対1に割り当てる必要がある。そこで、本実施形態では、階調データが（0000）のときのみ「0」であり、それ以外のときでは「1」となるような補正ビットhなる概念を導入する。

【0021】すなわち、図6に示されるように、1フィ

ールド(1f)を17ものサブフィールドsf1~sf17に等分割する一方、上述したビットデータを、階調データ(dcba)の各ビットまたは補正ビットhの値に対応させて、その重みに応じたサブフィールドの期間だけ液晶層に印加する構成とすれば、階調データが(0000)以外であれば、補正ビットhの重みに応じた電圧の印加によって、A(V)に相当する電圧がオフセットされるとともに、このオフセットされた電圧A(V)に、階調データの重みに対応した電圧が加算されることになる。

【0022】したがって、(0000)の階調データに対しては、ゼロの電圧実効値が対応するとともに、(0000)を除く15個の階調データに対しては、A(V)からB(V)までの範囲で、それぞれ異なる電圧実効値を1対1に対応させるので、各階調データに対応した階調表示を行うことが可能となる。

【0023】なお、階調データ(dcba)は一般的表記であり、“a”はLSBを、“b”は3SBを、“c”は2SBを、“d”はMSBをそれぞれ示している。また、この例では補正ビットhに対応するサブフィールドの期間が「2」であって、1フィールドを構成するサブフィールド総数が、h:a:b:c:d=2:2⁰:2¹:2²:2³で計「17」となっているが、A

(V)に相当する電圧は、液晶材料や、基板間隙、温度などのパラメータによって変化する。このため、実際には、補正ビットhに対応するサブフィールドの期間数(および、1フィールドを構成するサブフィールド総数)は、これらのパラメータを考慮して設定される。

【0024】ところで、1フィールドを分割したサブフィールドの各々において走査線を1本ずつ選択するとともに、選択した走査線に位置する画素に対し、データ線を介してビットデータを供給する構成では、1フィールドにおいて階調に対応するアナログ電圧を各画素に供給する従来構成と比較して、ビットデータの転送レートが極めて高くなってしまう。例えば、階調データのビットbに対応するビットデータは、図6において、サブフィールドsf4の最初に全画素に対して順番に供給する必要があり、このためには、従来構成と比較して、1フィールドをサブフィールドに分割した分だけ、ビットデータの転送レートを高める必要が生じてしまう。

【0025】そこで、本実施形態に係る電気光学装置では、第2に、ビットデータを、1フィールドにおいて図7に示されるようなタイミングで供給する構成を採用している。ここで、図7は、上から数えて1番目、2番目、3番目、…の走査線1L、2L、3L、…に係る画素に、各サブフィールドで供給されるビットデータを示している。この図において、階調データのあるビットに対応するビットデータの重みの基準時から次の基準時までにおいては、当該ビットデータを書き換える必要はなく、その前に書き込まれたビットデータを保持すれば足

りるので、図7に示されるように、ビットデータに対応する重みの基準時を、走査線毎に、かつ、サブフィールド毎にシフトさせると、あるサブフィールドにおいて、書き換えを要しない走査線が現れることになる。例えば図7を参照すれば、サブフィールドsf4(先頭)では、上から数えて1本目、3本目、7本目、15本目、17本目、…の走査線を選択するとともに、その走査線に位置する画素に対して、それぞれビットb、c、d、h、aに対応するビットデータに書き換える必要があるが、それ以外の走査線に位置する画素については書き換える必要がない。したがって、このような構成によれば、各サブフィールドにおいて、すべての走査線を選択する必要がなくなるので、その分、ビットデータの転送レートを低く抑えることが可能となる。

【0026】このように、2値的なビットデータをデータ線に印加するとともに、1フィールドにおける重みの基準時を、1本の走査線毎に、1つのサブフィールドずつシフトさせた構成により、ビットデータの転送レートを抑えた上で、高精細および高品位な画像表示が可能となる。そこで、以下、このための構成について図面を参照して説明する。

【0027】＜実施形態＞まず、本発明の実施形態に係る電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、後述するように素子基板と対向基板とが、互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟持される構成となっている。また、本実施形態に係る電気光学装置では、素子基板において画素を駆動するTFT(Thin Film Transistor: 薄膜トランジスタ)とともに、周辺駆動回路などが形成されたものである。

【0028】＜電気的な構成＞図1は、この電気光学装置100の電気的な構成を示すブロック図である。図において、制御回路200は、図示せぬ上位装置から供給される垂直走査信号Vs、水平走査信号Hsおよびドットクロック信号DCLK、階調データ(dcba)にしたがって、次に説明する各種の信号を生成するものである。

【0029】まず、第1に、信号Lcomは、本実施形態では図9に示されるように1フィールド(1フレーム)毎にレベル反転する信号であり、後述するように対向基板の対向電極に印加される。なお、スタートパルスSfpは、1フィールド1fを17に等分割した各サブフィールドsf1~sf17の最初に出力されるパルス信号であるが、制御回路200の内部処理(サブフィールドの認識等)に用いられるため、外部からは見えない。

【0030】第2に、ラッチパルスLPは、図9に示されるように、サブフィールドsf1~sf17において、各水平走査期間の最初にそれぞれ出力されるパルス信号である。なお、説明の便宜上、ラッチパルスLPの

出力周期を1H（すなわち1水平走査期間）と表記し、また、第n番目の1水平走査期間をH_nと表記する。例えば、「2H」とは、ラッチパルスLPの出力周期の2倍に相当する2水平走査期間を意味する一方、H₂とは、第2番目の1水平走査期間を意味する。

【0031】第3に、クロック信号CLYは、後述する走査線駆動回路130においてデータ転送に用いられる信号である。第4に、データDyは、サブフィールドsf1～sf17の各水平走査期間において選択すべき走査線を示すデータであり、クロック信号CLYに同期して供給される。なお、その詳細については後述する。第5に、クロック信号CLXは、いわゆるドットクロックを規定する信号であり、後述するデータ駆動回路140においてデータ転送に用いられる信号である。第6に、ビットデータDsは、選択された走査線に位置する画素への階調データ（dcba）または補正ビットhの値に対応するものであって、選択時におけるサブフィールドに対応したものであり、クロック信号CLXに同期して供給される。なお、その詳細については後述する。

【0032】一方、素子基板上における表示領域101aには、複数本の走査線112が、図においてX（行）方向に延在して形成され、また、複数本のデータ線114が、Y（列）方向に沿って延在して形成されている。そして、走査線112とデータ線114との各交差には、画素110が設けられて、マトリクス状に配列している。ここで、説明の便宜上、本実施形態では、走査線112の総本数を240本とし、データ線114の総本数320本として、240行×320列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0033】次に、走査線駆動回路130は、ある1水平走査期間においてデータDyを走査112の本数に相当する240個順次ラッチした後、ラッチした240個のデータDyの各々を、次の水平走査期間において、それぞれ対応する走査線112に走査信号G1、G2、G3、…、G240として一斉に供給するものである。なお、1水平走査期間において選択される走査線112は1本だけであるので、当該期間においてラッチされる240個のデータDyのうち、Hレベルとなるのは1個だけである。

【0034】また、データ線駆動回路140は、ある1水平走査期間においてビットデータDsをデータ線114の本数に相当する320個順次ラッチした後、ラッチした320個のビットデータDsの各々を、次の水平走査期間において、それぞれ対応するデータ線114にデータ信号d1、d2、d3、…、d320として一斉に供給するものである。なお、走査線駆動回路130およびデータ線駆動回路140の詳細については後述するものとする。

【0035】なお、走査線駆動回路130や、データ線

駆動回路140、制御回路200などは、図示しない単一の電源回路を電源として動作するものである。したがって、これらの回路各部から出力される信号のHレベルおよびLレベルは、この電源回路の高位側電圧V_{dd}および低位側電圧V_{ss}（=GND）と一致している。

【0036】＜画素の構成＞ここで、画素110の詳細構成について説明する。図2（a）は、この電気光学装置における1個分の画素110の一例を示す回路図である。なお、この図では、一般化して説明するために、図1において上から数えてi（iは、1≦i≦240を満たす整数）番目の走査線112と、左から数えてj（jは、1≦j≦320を満たす整数）番目のデータ線114との交差に対応する画素110を示している。

【0037】この図に示されるように、スイッチング素子たるTFT116のゲートが走査線112に、そのソースがデータ線114に、そのドレインが画素電極118に、それぞれ接続されるとともに、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されて液晶層が形成されている。ここで、対向電極108は、後述するように、実際には画素電極118と対向するように対向基板に一面に形成される共通電極である。なお、対向電極108の電位は、本実施形態に係る電気光学装置においては、前述したように信号Lcomが印加されて、1フィールド毎にレベル反転する構成となっている。また、TFT116のドレイン（画素電極118）と容量電極との間には、蓄積容量119が液晶層とは並列に形成されて、液晶層に蓄積される電荷のリークを防止している。ここで、容量電極としては専用の容量線を用いることが好ましく、そこには対向電極108と同じく信号Lcomが印加される。

【0038】ここで、図2（a）に示される構成では、TFT116として一方のNチャネル型のみが用いられているために、TFTの寄生容量による液晶への印加電圧降下を防ぐためのオフセット電圧が必要となるが、図2（b）に示されるように、Pチャネル型TFTとNチャネル型TFTとを相補的に組み合わせた構成とすれば、オフセット電圧の影響をキャンセルすることができる。ただし、この相補型構成では、走査信号として互いに排他的レベルを供給する必要があるため、1行分320個の画素110に対して走査線112a、112bの2本が必要となる。

【0039】＜走査線駆動回路＞次に、走査線駆動回路130について説明する。上述したように、本実施形態に係る電気光学装置では、図7に示されるように、階調データの各ビットまたは補正ビットに対する重みの基準時が、1本の走査線毎に、かつ、1サブフィールドずつシフトさせた構成となっているので、各サブフィールドにおいて重みの基準時が到来している走査線112を、所定の順番で1本ずつ選択する必要がある。このため、走査線駆動回路130は、図3に示されるような構成と

なっている。

【0040】詳細には、走査線駆動回路130は、図3に示されるように、Yシフトレジスタ1310と、第1のラッチ回路1320と、第2のラッチ回路1330とから構成されている。このうち、Yシフトレジスタ1310は、各水平走査期間の最初に供給されるラッチパルスLPをクロック信号CLYにしたがって転送し、ラッチ信号T1、T2、T3、…、T240として順次供給するものである。次に、第1のラッチ回路1320は、データDyを、ラッチ信号T1、T2、T3、…、T240の立ち下がりにおいて順次ラッチするものである。そして、第2のラッチ回路1330は、第1のラッチ回路1320によりラッチされたデータDyの各々を、次の水平走査期間に対応するラッチパルスLPの立ち下がりにおいて一斉にラッチするとともに、走査線112の各々に走査信号G1、G2、G3、…、G240として供給するものである。図では、データDyは一列で伝送されるようになっているが、データDyを複数系列並列に伝送し、Yシフトレジスタ1310からのラッチ信号によって、複数系列のデータDyを複数の第1のラッチ回路1320に同時にラッチさせて、Yシフトレジスタ1310の段数を少なく構成してもよい。

【0041】なお、TFT116のゲート電圧振幅は、すなわち、走査信号G1、G2、G3、…、G240の電圧振幅は、データ線114に印加されるデータ信号の電圧振幅($V_{dd}-V_{ss}$)よりも高める必要が生じるので、実際には、第2のラッチ回路1330の後段に電圧振幅を大きくするためのレベルシフタが、各走査線112に対応して設けられる(図示省略)。また、図2(b)のような相補型のTFT116の場合には、ゲート電圧振幅は、データ信号の電圧振幅($V_{dd}-V_{ss}$)と同一とすることができるので、第2のラッチ回路1330の後段に電流量を大きくするためのバッファが、各走査線112に対応して設けられる(図示省略)。

【0042】次に、かかる構成の走査線駆動回路130における走査線の選択について説明する。まず、各走査線112に到来する重みの基準時は、サブフィールド毎に、図8に示される通りである。すなわち、図8にあっては、各サブフィールドにおいて、階調データのビットa、b、c、dまたは補正ビットhのいずれかが記されている走査線を選択するとともに、その走査線に位置する画素に対して当該ビットの値に対応するビットデータを書き込む必要があることを意味する。

【0043】そこで、本実施形態では、制御回路200内部において、各サブフィールドで選択すべき走査線が図8に示されるようにテーブル化されるとともに、このテーブルが参照されて、各走査線112を選択するためのデータDyが出力される構成となっている。例えば、図8を参照すれば、サブフィールドsf1において、上

から数えて1本目の走査線112が、補正ビットhの値に対応する書き込みのために1番目の水平走査期間H1で選択され、次に、上から数えて3本目の走査線112が、階調データのビットaに対応する書き込みのために2番目の水平走査期間H2で選択され、続いて、上から数えて4本目の走査線112が、階調データのビットbに対応する書き込みのために3番目の水平走査期間H3で選択されることが判る。

【0044】ここで、図8に示したような選択すべき走査線を示すテーブルは、ROM等のメモリに記憶されて、水平走査期間およびサブフィールドに同期するようなタイミング信号でメモリを順次アドレスし、データDyとして読み出す構成とすればよい。

【0045】また、図8では、各サブフィールドにおいて、走査線112の選択は、上から順番に行われるとともに、あるサブフィールドにおける、ある走査線112の選択と、その次のサブフィールドにおける、その1本上の走査線112の選択とは、各サブフィールドの同一番目の水平走査期間に行われる構成となっている。例えば、サブフィールドsf1における上から数えて3本目の走査線112の選択と、サブフィールドsf2における上から数えて2本目の走査線112の選択と、サブフィールドsf3における上から数えて1本目の走査線112の選択とは、いずれも2番目の水平走査期間H2で行われる構成となっている。

【0046】<データ駆動回路>次に、データ線駆動回路140の詳細構成について図4を参照して説明する。この図に示されるように、データ線駆動回路140は、供給される信号が相違する以外、走査線駆動回路130と同一構成である。すなわち、データ線駆動回路140は、Xシフトレジスタ1410と、第1のラッチ回路1420と、第2のラッチ回路1430とから構成される点において走査線駆動回路130と共通している。このうち、Xシフトレジスタ1410は、各水平走査期間の最初に供給されるラッチパルスLPをクロック信号CLXにしたがって転送し、ラッチ信号S1、S2、S3、…、S320として順次供給するものである。次に、第1のラッチ回路1420は、ビットデータDsをラッチ信号S1、S2、S3、…、S320の立ち下がりにおいて順次ラッチするものである。そして、第2のラッチ回路1430は、第1のラッチ回路1420によりラッチされたビットデータDsの各々をラッチパルスLPの立ち下がりにおいて一斉にラッチするとともに、データ線114の各々にデータ信号d1、d2、d3、…、d320として供給するものである。図では、ビットデータDsは一列で伝送されるようになっているが、ビットデータDsを複数系列並列に伝送し、Xシフトレジスタ1410からのラッチ信号によって、複数系列のビットデータDsを複数の第1のラッチ回路1420に同時にラッチさせて、Xシフトレジスタ1410の段数を少

なく構成してもよい。

【0047】次に、かかるデータ線駆動回路140によって印加されるデータ信号（ビットデータDs）のレベルと、対応する画素の階調との関係について説明する。上述したように、各サブフィールドにおいて各走査線112に到来する重みの基準時は、図8に示される通りであり、このことは、各サブフィールドにおいて、階調データのビットa、b、c、dまたは補正ビットhのいずれかが記されている走査線を選択するとともに、その走査線に位置する画素に対して当該ビットの値に対応するビットデータを書き込むことを意味する。そこで、本実施形態では、図8に示される内容にしたがって、選択された走査線に対応する1行分の画素110のビットデータDsを出力する構成となっている。

【0048】ここで、対向電極108に印加される信号Lcomは、1フィールド毎にレベル反転されるので、この電位を考慮して、ビットデータDsのレベルを設定する必要がある。すなわち、制御回路200は、信号LcomをLレベルとするフィールドでは、画素の階調データ（dcba）のうち、サブフィールドおよび選択走査線に対応するビット（または補正ビット）を、そのまま正転してHレベルをビットデータDsとして出力する一方、信号LcomをHレベルとするフィールドでは、画素の階調データ（dcba）のうち、対応するビット（または補正ビット）をレベル反転してビットデータDsとして出力することとなる。

【0049】なお、本実施形態では、階調ビットまたは補正ビットの「1」が、ビットデータDsのHレベルに対応し、階調ビットまたは補正ビットの「0」が、ビットデータDsのLレベルに対応している。

【0050】また、制御回路200は、データDyおよびビットデータDsを出力するために、1フィールドにおいて、いずれのサブフィールドであるか、さらに、1サブフィールドにおいて、いずれの水平走査期間であるか、をそれぞれ認識する必要がある。これらについては、スタートパルスSfp、または、ラッチパルスLPをカウントして、これらのカウント結果を参照することで認識可能である。

【0051】＜動作＞次に、上述した実施形態に係る電気光学装置の動作について説明する。図9および図10は、この電気光学装置の動作を説明するためのタイミングチャートである。

【0052】まず、信号Lcomは、図9に示されるように、1フィールド（1f）毎にレベル反転して、対向電極108に印加される。ここで、信号LcomがLレベルとなる1フィールド（1f）において、サブフィールドsf1の最初にラッチパルス信号LPが供給されると、走査線駆動回路130（図1および図3参照）では、クロック信号CLYにしたがった転送によって、ラッチ信号T1、T2、T3、…、T240が、図10に

示されるように、0番目の1水平走査期間H0にわたって順次出力される。なお、ラッチ号T1、T2、T3、…、T240は、それぞれクロック信号CLYの半周期に相当するパルス幅を有している。

【0053】ここで、サブフィールドsf1において、1番目の1水平走査期間H1で選択すべきは、図8を参照すれば、上から数えて1本目の走査線112である。このため、制御回路200は、ラッチ信号T1の立ち下がりにおいてだけHレベルとなるデータDyを出力する一方、図3における第1のラッチ回路1320は、ラッチ信号T1の立ち下がりにおいて、HレベルのデータDyをラッチし、以降、ラッチ信号T2、T3、…、T240の各立ち下がりにおいて、LレベルのデータDyをラッチする。

【0054】これにより、第1のラッチ回路1320は、上から数えて1本目の走査線112のみを選択し、他の走査線112については選択しない旨を示すデータDyを、0番目の水平走査期間において順次ラッチすることになる。なお、制御回路200は、第1のラッチ回路1320によるラッチのタイミングに合わせて、データDyを出力することはいうまでもない。

【0055】一方、データ線駆動回路140（図1および図4参照）において、サブフィールドsf1の最初にラッチパルス信号LPが供給されると、クロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、…、S320が、図10に示されるように、0番目の1水平走査期間H0にわたって順次出力される。なお、ラッチ号S1、S2、S3、…、S320は、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

【0056】この際、図4における第1のラッチ回路1420は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110へのビットデータDsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110へのビットデータDsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えて320本目のデータ線114との交差に対応する画素110へのビットデータDsをラッチする。なお、この期間に出力されるビットデータDsは、補正ビットhの値に対応したものである。

【0057】これにより、データ線駆動回路140においては、第1のラッチ回路1420が、上から数えて1本目の走査線112との交差に対応する画素1行分のビットデータDsを順次ラッチすることになる。なお、制御回路200は、各画素の階調データ（dcba）を判断して補正ビットhを生成するとともに、第1のラッチ回路1420によるラッチのタイミングに合わせて出力

することはいうまでもない。また、ここでは、信号LcomがLレベルの場合を想定しているの、補正ビットhとビットデータDsとは正転の関係にある。

【0058】次に、ラッチパルスLPが再度出力された後、立ち下がって1番目の水平走査期間H1に至ると、走査線駆動回路130の第2のラッチ回路1330は、順次ラッチされたデータDyを、当該立ち下がりタイミングにおいて、対応する走査線112に、それぞれ走査信号G1、G2、G3、…、G240として一斉に印加する。この際、走査信号G1のみがHレベルとなるので、上から数えて1本目の走査線112のみが選択されて、当該走査線112との交差に対応する画素110のTFT116がすべてオンとなる。

【0059】さらに、これらの走査信号の出力と並行して、走査線駆動回路130では、第1のラッチ回路1320が、上から数えて3本目の走査線112のみを選択するためのデータDyを、同様に順次ラッチする。

【0060】一方、データ線駆動回路140において、再出力に係るラッチパルスLPが立ち下がると、第2のラッチ回路1430が、当該立ち下がりタイミングにて、順次ラッチされたビットデータDsを、対応するデータ線114に、それぞれデータ信号d1、d2、d3、…、d320として一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1、d2、d3、…、dnの書き込みが一斉に行われることとなる。

【0061】また、この書き込みと並行して、データ線駆動回路140においては、第1のラッチ回路1420が、上から数えて3本目の走査線112との交差に対応する画素1行分のビットデータであって、階調データ(dcba)のビットaの値に対応するビットデータDsを順次ラッチする。

【0062】そして、サブフィールドsf1においては、以降同様な動作が、第71番目の水平走査期間H71において、上から数えて239本目の走査線112に対応する走査信号G239が出力されるまで繰り返される。すなわち、ある走査線112に対応する画素1行分にデータ信号d1、d2、d3、…、d320の書き込みが行われる水平走査期間では、走査線駆動回路130にあっては、その次の水平走査期間で選択すべき走査線112を示すデータDyが順次ラッチされる一方、データ線駆動回路140にあっては、当該走査線に対応する画素110の1行分のビットデータDsが順次ラッチされることとなる。なお、選択されなかった走査線112に対応する画素110にあっては、前回に書き込まれたデータ信号が、次の書き込みまで保持される。

【0063】以下同様な動作が、各サブフィールドで繰り返される。ただし、制御回路200は、選択すべき走査線112を示すデータDy、および、当該走査線112に対応する画素1行分のビットデータDsについて

は、図8に示されるテーブルよりも1水平走査期間だけ先んじて、各々対応するタイミングにて出力することになる。

【0064】さらに、1フィールド経過後、信号LcomがHレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。ただし、階調データ(dcba)の各ビットまたは補正ビットhと、それに対応するビットデータDsとは互いに反転の関係となる。なお、必要に応じて走査信号とデータ信号との電位の切り替えタイミングを少しずらす場合もある。

【0065】次に、このような動作が行われることによって、画素110における液晶層への印加電圧について検討する。図11は、対向電極108に印加される信号Lcomの波形と、画素110における画素電極118への印加波形とを、階調データ毎にサブフィールド単位で示すタイミングチャートである。なお、この画素電極118の印加波形は、上から数えて1本目の走査線112に位置する画素110へのものを例示している。

【0066】例えば、信号LcomがLレベルである1フィールド(1f)において、ある画素110への階調データ(dcba)が(0000)であるとき、当該画素の画素電極118には、対向電極108に印加される信号Lcomと同一電位のLレベルが1フィールド(1f)にわたって印加される。したがって、当該液晶層に印加される電圧実効値は実質的にゼロとなるので、当該画素における透過率は、階調データ(0000)に対応して0%となる。

【0067】一方、ある画素110への階調データ(dcba)が(1111)であるとき、当該画素の画素電極118には、信号Lcomと反転電位のHレベルが1フィールド(1f)にわたって印加される。したがって、当該液晶層に印加される電圧実効値は、Hレベルの電圧であるVddとなり、最大となるので、当該画素の透過率は、階調データ(1111)に対応したものとなる。

【0068】また、ある画素の階調データ(dcba)が例えば(0101)であるとき、当該画素の画素電極118には、サブフィールドsf1、sf2において補正ビットhの「1」に対応してHレベルが、サブフィールドsf3においてビットaの「1」に対応してHレベルが、サブフィールドsf4、sf5においてビットbの「0」に対応してLレベルが、サブフィールドsf6～sf9においてビットcの「1」に対応してHレベルが、サブフィールドsf10～sf17においてビットdの「0」に対応してLレベルが、それぞれ印加される。結局、当該画素の液晶層には、1フィールドのうち7/17の期間にHレベルが印加されるので、その電圧実効値は $(7/17)^{1/2}$ ・(Vdd-Vss)となつて、この電圧実効値に対応した透過率となる。

【0069】また、ある画素の階調データ(dcba)

が例えば(1010)であるとき、当該画素の画素電極 118には、サブフィールドsf1、sf2において補正ビットhの「1」に対応してHレベルが、サブフィールドsf3において階調データのビットaの「0」に対応してLレベルが、サブフィールドsf4、sf5においてビットbの「1」に対応してHレベルが、サブフィールドsf6～sf9においてビットcの「0」に対応してLレベルが、サブフィールドsf10～sf17においてビットdの「1」に対応してHレベルが、それぞれ印加される。結局、当該画素の液晶層には、1フィールドのうち12/17の期間にHレベルが印加されるので、その電圧実効値は $(12/17)^{1/2}$ ・(V_{dd}-V_{ss})となつて、この電圧実効値に対応した透過率となる。なお、他の階調データについては、別段説明を要しないであろう。

【0070】一方、信号LcomがHレベルである1フィールド(1f)においては、ビットデータDsは、階調データの各ビットおよび補正ビットhと反転関係になるので、信号LcomがHレベルのフィールドにおける反転レベルが画素電極118に印加される。このため、HレベルとLレベルとの中間値を電圧の基準としてみた場合、信号LcomがLレベルのフィールドにおいて液晶層に印加される電圧と、信号LcomがHレベルのフィールドにおいて液晶層に印加される電圧値とは、互いに極性を反転したものであつて、かつ、その絶対値は等しいものとなる。したがつて、液晶層に直流成分が印加される事態が回避されて、液晶105の劣化が防止されることになる。

【0071】このように本実施形態に係る電気光学装置によれば、データ線114に供給されるデータ信号d1～d320が、HレベルまたはLレベルのみであつて、2値的であるため、駆動回路などの周辺回路において高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路が不要となる上、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。さらに、本実施形態に係る電気光学装置によれば、1サブフィールドにおいて、走査線112のうち、240本すべてを選択する必要がなく、71本を選択すれば足りるので、データ転送レートを1/3以下に抑えることが可能となる。

【0072】ところで、本実施形態に係る電気光学装置では、各サブフィールドにおける走査線112の選択が、図8に示される順番で行われる構成となつてゐる。すなわち、上述したように、各サブフィールドにおいて、走査線112の選択は、上から順番に行われる構成となつており、この際、あるサブフィールドにおける、ある走査線112の選択と、その次のサブフィールドにおける、その1本上の走査線112の選択とは、同一番目の水平走査期間に行われる構成となつてゐる。

【0073】換言すれば、本実施形態においては、重み

の基準時が到来している走査線112が上から順番で選択される構成となつてゐるが、その選択は、第1番目の水平走査期間H1から順番に行われる構成とはなつてゐない。例えば、サブフィールドsf11において、上から数えて8本目の走査線112が最初に選択されるが、その選択期間は、第1番目の水平走査期間H1ではなく、第6番目の水平走査期間H6となつてゐる。

【0074】この構成を採用した理由は、ひとえに、本実施形態では、重みの基準時が、走査線毎に1サブフィールドずつシフトした構成によるためである。すなわち、走査線112を上から所定の順番で選択するとともに、その選択を、第1番目の水平走査期間H1から順番に行う構成となつてゐると、次のような不都合が想定されるからである。

【0075】例えば、想定される構成において、上から数えて4本目の走査線112に着目すると、サブフィールドsf3においては、第3番目の水平走査期間H3にて選択されるが、サブフィールドsf7においては、最初に選択されるので第1番目の水平走査期間H1にて選択されることになつて、階調データのビットcに対応する電圧の印加期間が、本来的な期間に比べて2水平走査期間だけ短くなる。一方、上から数えて5本目の走査線112に着目すると、サブフィールドsf2においては、第3番目の水平走査期間H3にて選択されるが、サブフィールドsf6においては、2番目に選択されるので水平走査期間H2にて選択されることになつて、階調データのビットcに対応する電圧の印加期間が、本来的な期間に比べて1水平走査期間だけ短くなる。したがつて、上から数えて4本目の走査線112に位置する画素110と、5本目の走査線112に位置する画素110とでは、階調データのビットcに対応する電圧の印加期間が互いに異なつてしまうことになる。他の走査線同士に着目しても同様なことが言える。このように、階調データ(または補正ビット)の同一ビットに対応する電圧の印加期間が走査線112毎に相違することは、各画素110への階調データがたとえ同一であつたとしても、透過率が異なつてしまうことを意味する。よつて、このような構成では、表示品位の低下が避けられない。

【0076】これに対し本実施形態に係る電気光学装置では、各サブフィールドにおいて、走査線112の選択は上から順番に行われるが、あるサブフィールドにおける、ある走査線112の選択と、その次のサブフィールドにおける、その1本上の走査線112の選択とは、同一番目の水平走査期間に行われる構成となつてゐる。このような構成によれば、図12に示されるように、階調データの各ビットa、b、dまたは補正ビットhに対応する電圧の印加期間は、本来的な期間よりも1水平走査期間だけ長くなる。しかしながら、本実施形態では、電圧の印加期間が1水平走査期間だけ長くなることは、すべての走査線に対し、かつ、階調データのビットa、

b、c、d、補正ビットhに対して共通である。したがって、本実施形態では、電圧の印加期間が長くなる影響が、すべての画素110にわたって均等に表れるので、上述した効果（回路構成の簡略化や、不均一性に起因する表示ムラの防止、データ転送レートの低減）に加えて、表示品位の低下を防止することが可能となる。

【0077】＜応用形態：その1＞上述した実施形態では、図8に示されるテーブルで参照された順番で、走査線112を選択して、階調データの各ビットおよび補正ビットに対応する電圧の印加期間を揃えていたが、本発明は、これに限られない。例えば、図13に示されるテーブルを参照しても、同様な効果を奏することができる。

【0078】図13は、この応用形態に係る電気光学装置において、走査線を選択と重みの基準時との関係をサブフィールド毎に示す図である。この図に示されるように、この電気光学装置では、階調データにおける各ビット（補正ビット）の重み付けのタイミングは、上述した実施形態と全く同一であるが、走査線112が17本毎にブロック化されるとともに、1サブフィールドにおいては、これらの各ブロックが順番に選択される構成となっている。例えば、各サブフィールドにおいては、最初に上から数えて1本目から17本目までの第1ブロックが選択され、次に、上から数えて18本目から34本目までの第2ブロックが選択され、以降同様に、上から数えて222本目から238本目までの第14ブロックが選択されて、最後に、端数の239本目および240本目の第15ブロックが選択される構成となっている。

【0079】さらに、この電気光学装置では、選択されたブロック内において、補正ビットh、階調データのビットa、b、c、dに対応する各書き込みがそれぞれ1水平走査期間毎に順番に行われる構成となっている。換言すれば、各ブロックはそれぞれ5水平走査期間毎に順番に選択されるとともに、選択されたブロック内においては、それぞれ5本の走査線112が、1本ずつ1水平走査期間毎に選択される構成となっている。

【0080】したがって例えば、サブフィールドsf4において第1ブロックが選択された場合、第1番目の水平走査期間H1では、上から数えて15本目の走査線112が選択されて、補正ビットhに対応する書き込みが行われ、第2番目の水平走査期間H2では、上から数えて17本目の走査線112が選択されて、階調データのビットaに対応する書き込みが行われ、第3番目の水平走査期間H3では、上から数えて1本目の走査線112が選択されて、階調データのビットbに対応する書き込みが行われ、第4番目の水平走査期間H4では、上から数えて3本目の走査線112が選択されて、階調データのビットcに対応する書き込みが行われ、第5番目の水平走査期間H5では、上から数えて7本目の走査線112が選択されて、階調データのビットdに対応する書き

込みが行われる構成となっている。

【0081】ここで、あるサブフィールドにおける、ある1本の走査線を選択と、その次のサブフィールドにおける、その1本上の走査線を選択とは、互いに同一番目の水平走査期間で行われる点は、上述した実施形態と共通である。したがって、階調データの各ビットa、b、cまたは補正ビットhに対応する電圧の印加期間は、本来的な期間よりも1水平走査期間だけ長くなり、ビットdに対応する電圧の印加期間は、本来的な期間よりも4水平走査期間だけ短くなるが、このことは、すべての走査線に対し、かつ、階調データのビットa、b、c、d、補正ビットhに対して共通となるので、実施形態と同様に、表示品位の低下を防止することが可能となる。

【0082】＜応用形態：その2＞また、上述した実施形態では、交流駆動を実現するために、対向電極108に印加される信号Lcomを1フィールド毎にレベル反転するとともに、これに応じて、階調データの各ビットまたは補正ビットの値を正転・反転してビットデータDsとして出力する構成となっていた。が、このような交流駆動は、次のような応用形態でも可能である。

【0083】図15は、本発明の応用形態に係る電気光学装置において、対向電極108に印加される信号Lcomの波形と、画素110における画素電極118への印加波形とを、当該画素の階調データ毎に示すタイミングチャートである。なお、この画素電極118の印加波形についても、図11と同様に、上から数えて1本目の走査線112に位置する画素110へのものを例示している。

【0084】この図に示されるように、この応用形態に係る電気光学装置は、対向電極108に印加される信号Lcom、および、ビットデータDsのLレベルに相当する電圧を、それぞれフィールドによらず電圧Vcで一定とする一方、ビットデータのHレベルに相当する電圧を、Vcを基準として対称な電圧V+またはV-として、フィールド毎に反転する構成となっている。

【0085】ここで、この構成において、画素110における液晶層への印加電圧について図15を参照して検討する。例えば、ある画素110への階調データ(dcba)が(0000)であるとき、当該画素の画素電極118には、対向電極108に印加される信号Lcomと同一電位のVcが印加されるので、電圧実効値はゼロとなる。

【0086】一方、ある画素110への階調データ(dcba)が(1111)であるとき、当該画素の画素電極118には、ある1フィールドにわたって、Hレベルに相当する電圧V+が印加される一方、その次フィールドでは、電圧Vcに対して反転した電圧V-が印加される。

【0087】また、ある画素の階調データ(dcba)が例えば(0010)であるとき、当該画素の画素電極

118には、ある1フィールド(1f)のうち、サブフィールドsf1、sf2において補正ビットhの「1」に対応してHレベルに相当する電圧V+が、サブフィールドsf3において階調データのビットaの「0」に対応してLレベルに相当する電圧Vcが、サブフィールドsf4、sf5においてビットbの「1」に対応して電圧V+が、サブフィールドsf6～sf9においてビットcの「0」に対応して電圧Vcが、サブフィールドsf10～sf17においてビットdの「0」に対応して電圧Vcが、それぞれ印加される。一方、次の1フィールド(1f)では、サブフィールドsf1、sf2、sf4、sf5において電圧V+に替わって電圧V-がHレベルとして印加され、他のサブフィールドでは、Lレベルとして対向電極108と同一電位のVcが印加される。

【0088】ここで、電圧V+と電圧Vcとの差(電圧V-と電圧Vcとの差)が、上述した実施形態において電圧Vddと電圧Vssとの差に等しければ、電圧実効値に対応した透過率となるので、この応用形態に係る電気光学装置においても、交流駆動による階調表示が可能となる。なお、他の階調データについては、別段説明を要しないであろう。

【0089】なお、この応用形態または上述した実施形態に係る電気光学装置にあつては、信号Lcomの反転周期、または、ビットデータDsのHレベルに対応する電圧の反転周期を1フィールドとしたが、本発明はこれに限られず、例えば2フィールド以上の長周期や、1水平走査期間あるいは2水平走査期間等の短周期でレベル反転する構成としても良い。

【0090】<応用形態：その3>また、画素110の構成については、図2(a)や、同図(b)に示されるものに限られず、種々のものが適用可能である。例えば、図16に示されるようなものが適用可能である。

【0091】この図において、データ線114aには、正転のデータ信号dj(ビットデータDs)が供給される一方、データ線114bには、反転のデータ信号/djが供給されている。そして、データ線114a、114bと走査線112との交差において、データ線114aを介して供給されたデータ信号djは、トランジスタ116aを介してインバータ121の入力端に供給される一方、データ線114bを介して供給された反転データ信号/djは、トランジスタ116bを介してインバータ122の入力端に供給される構成となっている。

【0092】さらに、インバータ121、122にあつては、お互いに一方の出力端が他方の入力端に接続された構成となっており、このうち、インバータ121の出力信号(インバータ122の入力信号)は、オフ信号Voffを画素電極118に供給するトランスミッションゲート123の制御信号となっている一方、インバータ122の出力信号(インバータ121の入力信号)は、

オン信号Vonを画素電極118に供給するトランスミッションゲート124の制御信号となっている。

【0093】ここで、上述した実施形態のように、信号Lcomを所定期間毎にレベル反転する場合、オン信号Vonは、信号Lcomとは反転レベルの信号となる一方、オフ信号Voffは、信号Lcomとは同一レベルの信号となる。

【0094】この場合において、データ信号djとしてHレベル(反転レベル信号/djとしてLレベル)が供給されると、画素電極118には、対向電極108に印加される信号Lcomと反転レベルのオン信号Vonが印加される一方、データ信号djとしてLレベル(反転レベル信号/djとしてHレベル)が供給されると、画素電極118には、対向電極108に印加される信号Lcomと同一レベルのオフ信号Voffが印加されることとなる。したがって、この場合、階調データの各ビットa、b、c、dおよび補正ビットhからビットデータDsを出力する際に、信号Lcomのレベルに応じて正転・反転する必要がなくなることになる。

【0095】また、上述した応用形態(その2)のように、信号Lcomを電圧Vcで一定とする場合、オン信号Vonは、所定の周期毎(例えば、1フィールド毎)に、電圧V+またはV-を交互にレベル反転する一方、オフ信号Voffは、信号Lcomと同一レベル(電圧Vc)で一定の信号となる。

【0096】この場合において、データ信号djとしてHレベル(反転レベル信号/djとしてLレベル)が供給されると、画素電極118には、対向電極108に印加される信号の電圧はV+またはV-のいずれかが印加される一方、データ信号djとしてLレベル(反転レベル信号/djとしてHレベル)が供給されると、画素電極118には、信号Lcomと同一レベルのオフ信号Voffが印加されることとなる。したがって、この場合でも、階調データの各ビットa、b、c、dおよび補正ビットhからビットデータDsを出力する際に、信号Lcomのレベルに応じて正転・反転する必要がなくなることになる。

【0097】<電気光学装置の全体構成>次に、上述した実施形態に係る電気光学装置の全体構成について図17および図18を参照して説明する。ここで、図17は、電気光学装置100の構成を示す斜視図であり、図18は、図17におけるC-C'線の断面図である。

【0098】これらの図に示されるように、電気光学装置100は、画素電極118等が形成されたガラスや、半導体、石英などからなる素子基板102と、対向電極108等が形成されたガラスなどの透明な対向基板104とが、スペーサ107の混入されたシール材109によって一定の間隙を保って、互いに電極形成面が対向して貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が封入された構造となっている。な

お、シール材 107 は、対向基板 104 の周縁に沿って形成されるが、液晶 105 を封入するために一部が開いている。このため、液晶 105 の封入後に、その開口部分が封止材 106 によって封止されている。

【0099】ここで、素子基板 102 の対向面であって、シール材 109 の外側一辺においては、上述したデータ線駆動回路 140 が形成されて、Y 方向に延在するデータ線 114 を駆動する構成となっている。さらに、この一辺には複数の外部回路接続端子 103 が形成されて、制御回路 200 からの各種信号を入力する構成とな

っている。また、この一辺に隣接する 2 辺には、2 個の走査線駆動回路 130 が形成されて、X 方向に延在する走査線 112 をそれぞれ両側から駆動する構成となっている。なお、走査線 112 に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路 130 を片側 1 個だけに形成する構成でも良い。

【0100】一方、対向基板 104 における対向電極 108 は、貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材（図示省略）によって、素子基板 102 における接続端子 103 と電気的な導通している。すなわち、信号 Lcom は、素子基板 102 に設けられた接続端子 103 を介して、蓄積容量 109 の一端に、さらに、導通材を介して対向電極 108 に、それぞれ印加される構成となっている。

【0101】ほかに、対向基板 104 には、電気光学装置 100 の用途に応じて、例えば、直視型であれば、第 1 に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合、例えば後述するプロジェクタのライトバルブとして用いる場合、カラーフィルタは形成されない。

【0102】さらに、素子基板 102 および対向基板 104 の電極形成面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向が規定されている。さらに、配向方向に応じた偏光子（図示省略）が、透過型であれば、素子基板 102 および対向基板 104 の外側（観察側）に、また、反射型であれば対向基板 102 の外側のみに、それぞれが設けられる。ただし、液晶 105 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0103】＜その他＞なお、上述した実施形態や応用形態では、階調数を「16」としたが、例えば、8 階調として階調数を低めても良いし、64 階調表示、256 階調、…のように階調数を高めても良い。

【0104】また、実施形態や応用形態では、重みの基準時を、走査線毎に 1 サブフィールド毎に時間的に先行

するようにシフトさせた構成となっていたが、このようなシフトの態様は種々想定される。例えば、重みの基準時を、時間的に遅延させても良いし、2 以上のサブフィールド毎にシフトさせても良い。

【0105】また、実施形態や応用形態では、素子基板 102 に TFT 116 が形成された構成となっていたが、本発明は、これに限られない。例えば、素子基板 102 を半導体基板とするとともに、ここに、TFT 116 に替えて MOS 型トランジスタを形成しても良い。さらに、SOI (Silicon On Insulator) の技術を適用し、サファイヤなどの絶縁性基板からなる素子基板 102 にシリコン単結晶膜を形成して、ここに各種素子を作り込んでも良い。特に、画素 110 を、図 14 や図 15 に示されるように構成する場合には、1 画素あたりの素子数が多く、複雑化するので、このような技術は有効といえる。ただし、このような構成では、素子基板 102 に透過性を持たせることができないので、画素電極 108 をアルミニウムで形成して、あるいは、別途反射層を設けるなどして、反射型として用いられることになる。

【0106】さらに、上述した実施形態や応用形態では、液晶として TN (Twisted Nematic) 型を用いたが、180 度以上のねじれ配向を有する STN (Super Twisted Nematic) 型や、BTN (Bi-stable Twisted Nematic) 型・強誘電型などのメモリ性を有する双安定型、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料（ゲスト）を一定の分子配列の液晶（ホスト）に溶解して、染料分子を液晶分子と平行に配列させたゲストホスト型などの液晶を用いても良い。

【0107】また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向（ホメオトロピック配向）の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行（水平）配向（ホモジニアス配向）の構成としても良い。さらに、対向基板 104 に対向電極 108 を配置するのではなく、素子基板 102 上に、画素電極と対向電極とを、互いに間隔を置いて櫛歯状に配置する構成としても良い。この構成では、液晶分子が水平配向して、電極間による横方向の電界に応じて液晶分子の配向方向が変化することになる。このように、本発明の駆動方法に適合するものであれば、液晶や配向方式として、種々のものを用いることが可能である。

【0108】くわえて、電気光学装置としては、液晶装置のほかに、エレクトロルミネッセンス (EL) や、デジタルマイクロミラーデバイス (DMD)、プラズマ発光や電子放出による蛍光などを用いて、その電気光学効果により表示を行う装置などの種々の電気光学装置に適

用可能である。この場合、電気光学材料としては、E L、ミラーデバイス、ガス、蛍光体などとなる。なお、電気光学材料としてE Lを用いる場合、素子基板102においてE Lが画素電極108と透明導電膜の対向電極108との間に介在することになるので、対向基板102は不要となる。このように、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの2値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。

【0109】＜電子機器＞次に、上述した電気光学装置を各種の電子機器に適用される場合について説明する。この場合、電子機器は、図19に示されるように、主に、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。このうち、表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)などのメモリや、光ディスク装置などのストレージユニット、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力するものである。また、表示情報処理回路1002は、上述した制御回路200のほか、周知のガンマ補正回路や、クランプ回路などの各種処理回路を含んだものであり、入力された表示情報からデジタル信号を順次生成して、クロック信号とともに駆動回路1004に出力するものである。駆動回路1004は、電気光学装置100を駆動するものであり、上述した走査線駆動回路130や、データ線駆動回路140のほか、製造後の検査に用いる検査回路などを含んだものである。電源回路1010は、上述の各回路に所定の電源を供給するものである。

【0110】次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0111】＜その1：プロジェクタ＞まず、上記電気光学装置100をライトバルブとして用いたプロジェクタについて説明する。図20は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ2100内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した電気光学装置100と同様であり、画像信号処理回路（図示省略）から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。また、B色の光は、他のR色やG色と比較すると、光路が長いので、

その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0112】さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成される結果、投射レンズ2114を介して、スクリーン2120にカラー画像が投射されることとなる。

【0113】なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。

【0114】＜その2：モバイル型コンピュータ＞次に、上記電気光学装置100を、モバイル型のパーソナルコンピュータに適用した例について説明する。図21は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ2200は、キーボード2202を備えた本体部2204と、表示部として用いられる電気光学装置100とを備えている。なお、この電気光学装置100の背面には、視認性を高めるためのバックライトが設けられる。

【0115】＜その3：携帯電話＞さらに、上記電気光学装置100を、携帯電話に適用した例について説明する。図22は、この携帯電話の構成を示す斜視図である。図において、携帯電話2300は、複数の操作ボタン2302のほか、受話口2304、送話口2306とともに、上述した電気光学装置100を備えるものである。なお、この電気光学装置100の背面にも、視認性を高めるためのバックライトが設けられる。

【0116】なお、電子機器としては、図19～図22を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

【0117】

【発明の効果】以上説明したように本発明によれば、回路特性や、各種の配線抵抗などの不均一性に起因する表示ムラが抑えられ、また、各サブフィールドにおいて走査線のすべてを順番に選択する必要がなく、重みの基準時が到来している走査線のみを選択すれば足りるので、1サブフィールドにおけるデータの転送レートを低減することが可能となる。また、低消費電力化も可能にな

る。

【図面の簡単な説明】

【図 1】 本発明の実施形態に係る電気光学装置の電気的な構成を示すブロック図である。

【図 2】 (a) および (b) は、それぞれ同電気光学装置における画素の構成の一例を示す回路図である。

【図 3】 同電気光学装置における走査線駆動回路の構成を示すブロック図である。

【図 4】 同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

【図 5】 同電気光学装置において液晶層に印加される電圧実効値と透過率との関係を示す図である。

【図 6】 同電気光学装置において階調データ (d c b a) ・補正ビット h とサブフィールドにわたって印加される電圧との関係を示す図である。

【図 7】 1 フィールドにおいて各走査線に印加される階調データ (d c b a) ・補正ビット h とサブフィールドとの関係を示す図である。

【図 8】 同電気光学装置において、各走査線の選択と重みの基準時との関係を、サブフィールド毎に示す図である。

【図 9】 同電気光学装置の動作を説明するためのタイミングチャートである。

【図 10】 同電気光学装置の動作を説明するためのタイミングチャートである。

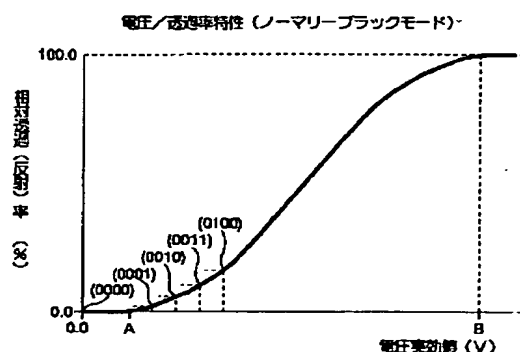
【図 11】 同電気光学装置において対向基板に印加される電圧、および、画素電極に印加される電圧を、階調データ毎にサブフィールド単位で示すタイミングチャートである。

【図 12】 同電気光学装置における走査線と水平走査期間との関係を示すタイミングチャートである。

【図 13】 本発明の応用形態に係る電気光学装置において、各走査線の選択と重みの基準時との関係を、サブフィールド毎に示す図である。

【図 14】 同電気光学装置における走査線と水平走査期間との関係を示すタイミングチャートである。

【図 5】



【図 15】 上記応用形態とは別の応用形態に係る電気光学装置において対向基板に印加される電圧、および、画素電極に印加される電圧を、階調データ毎にサブフィールド単位で示すタイミングチャートである。

【図 16】 本発明に適用可能な画素の構成の一例を示す回路図である。

【図 17】 本発明の実施形態に係る電気光学装置の構造を示す斜視図である。

【図 18】 同電気光学装置の構造を示す断面図である。

【図 19】 同電気光学装置を適用した電子機器の電気的な構成を示すブロック図である。

【図 20】 同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

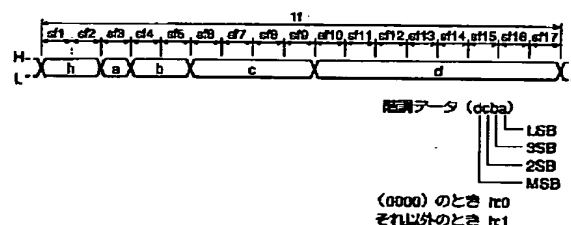
【図 21】 同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 22】 同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

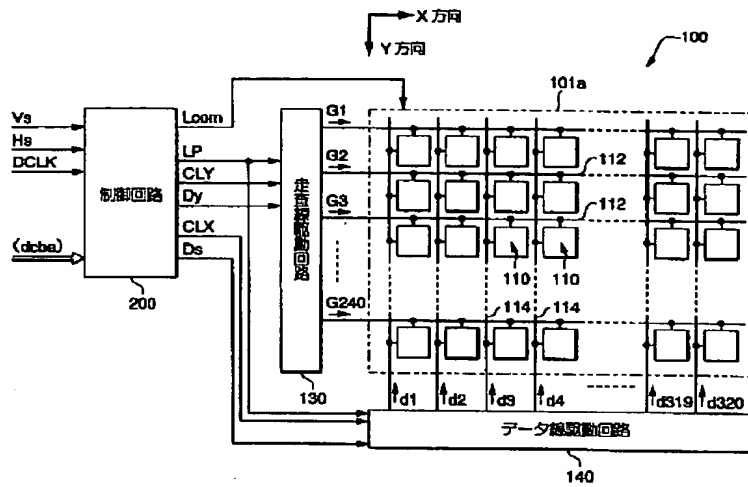
【符号の説明】

100…電気光学装置
102…素子基板
104…対向基板
105…液晶
108…対向電極
110…画素
112…走査線
114…データ線
116…TFT
118…画素電極
130…走査線駆動回路
140…データ線駆動回路
200…制御回路
2100…プロジェクタ
2200…パソコン
2300…携帯電話

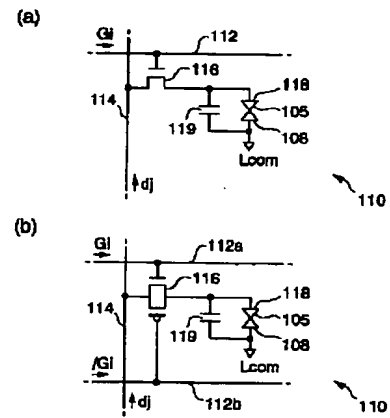
【図 6】



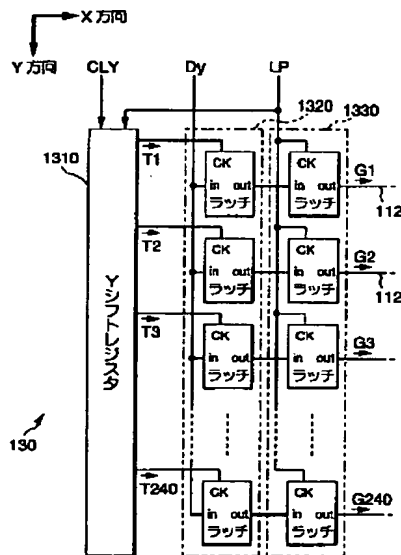
【図1】



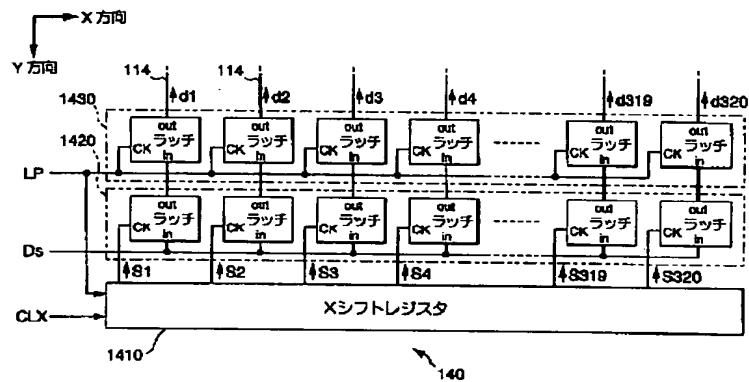
【図2】



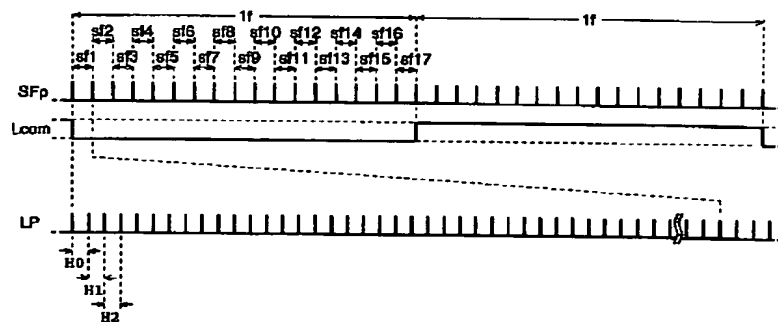
【図3】



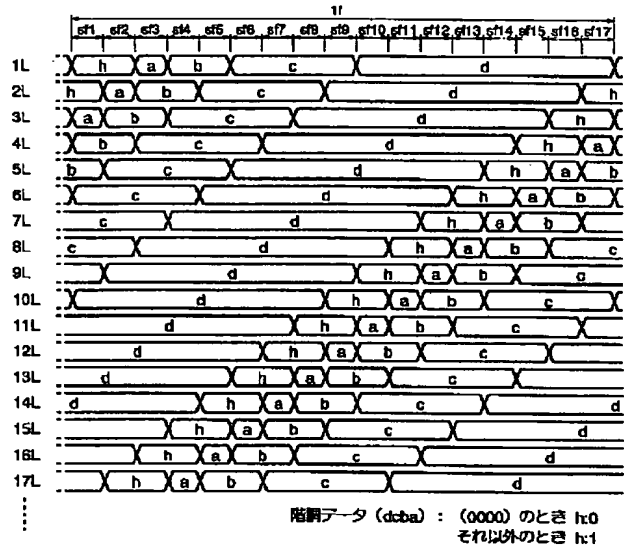
【図4】



【図9】

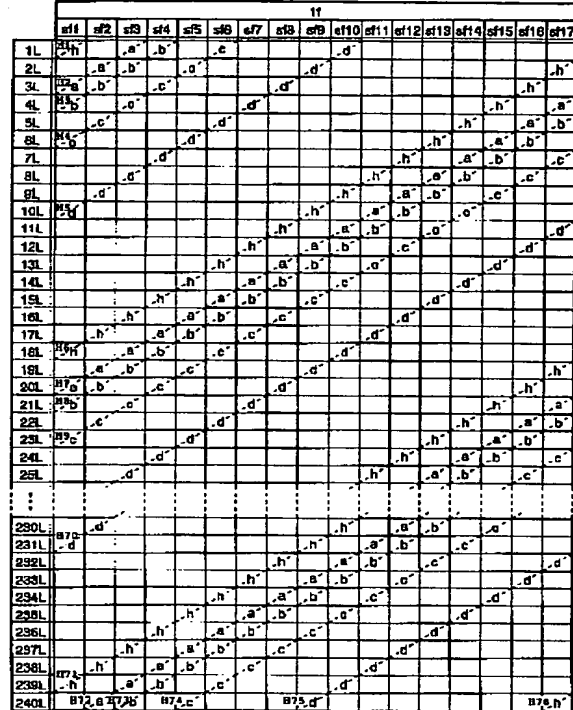


【図 7】

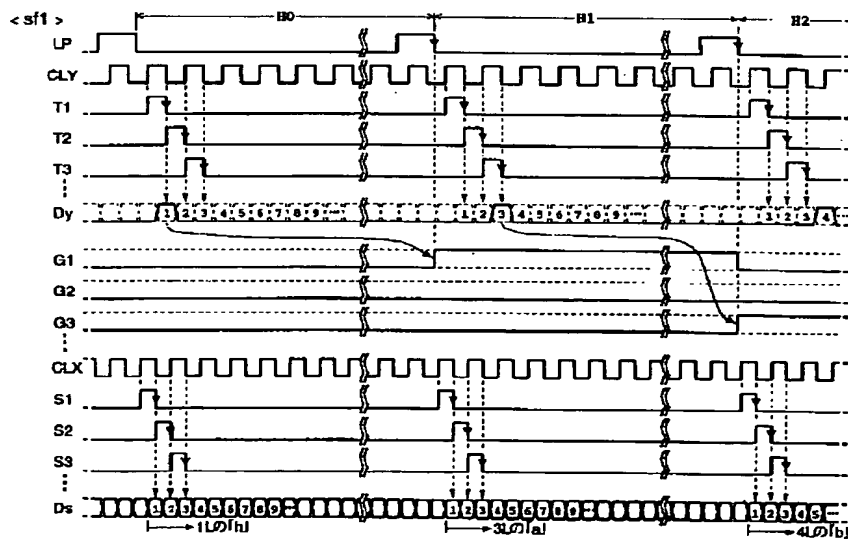


【図 8】

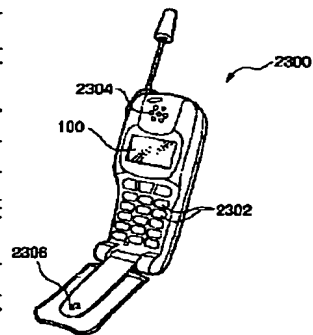
各サブフィールドにおける走査線の選択と読みとのタイミング



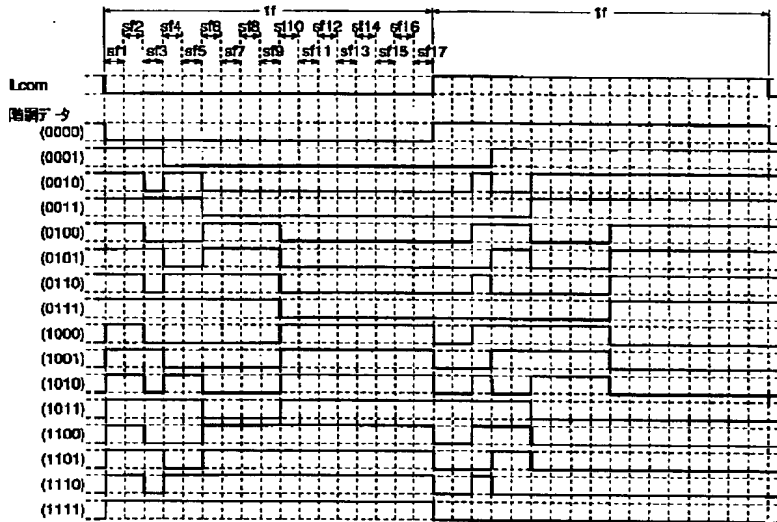
【図 10】



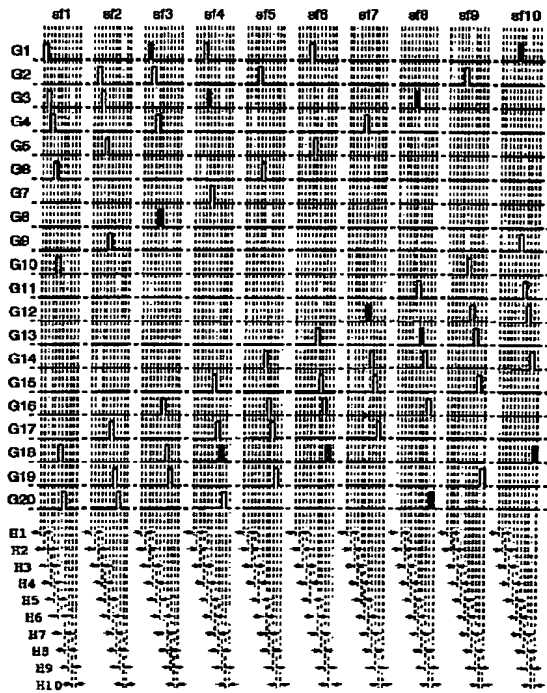
【図 22】



【図 11】

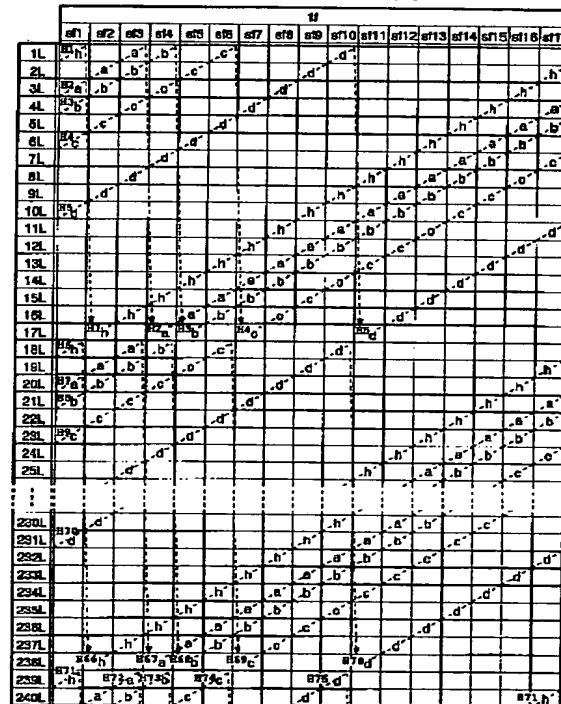


【図 12】

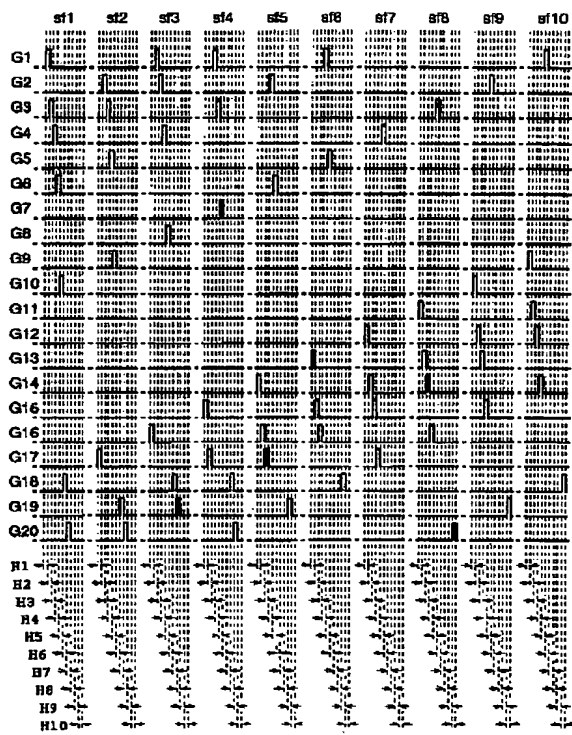


【図 13】

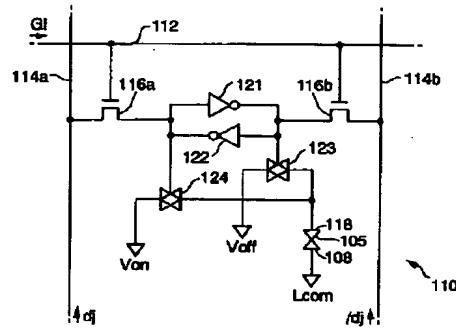
各サブフィールドにおける走査線の選択と重みとのタイミング



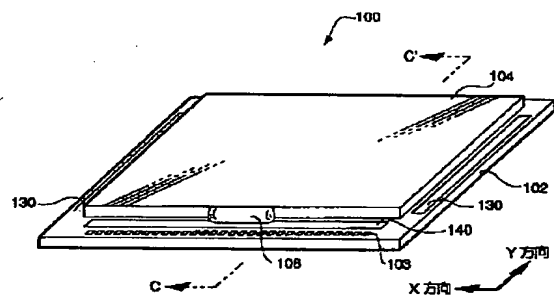
【図 14】



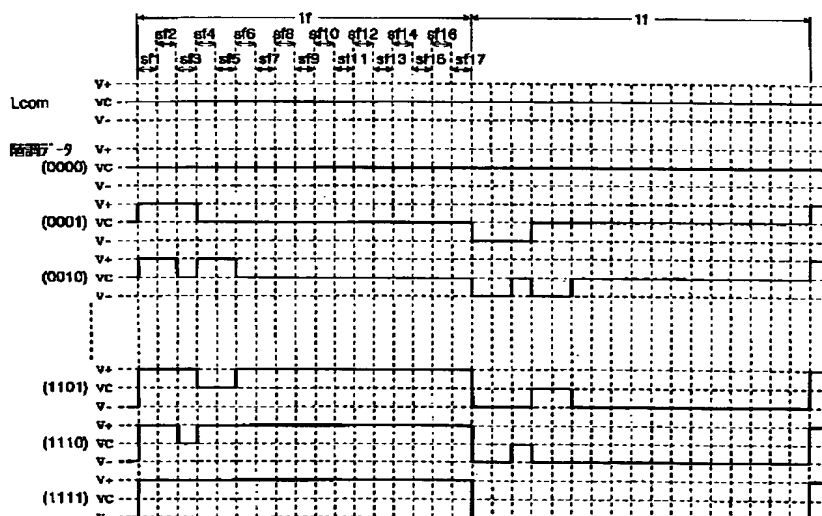
【図 16】



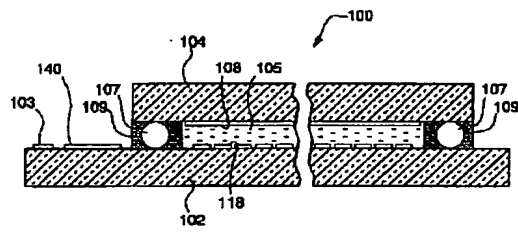
【図 17】



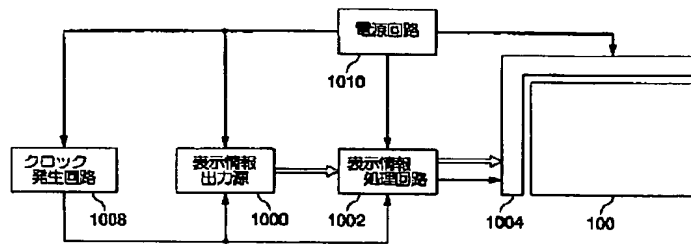
【図 15】



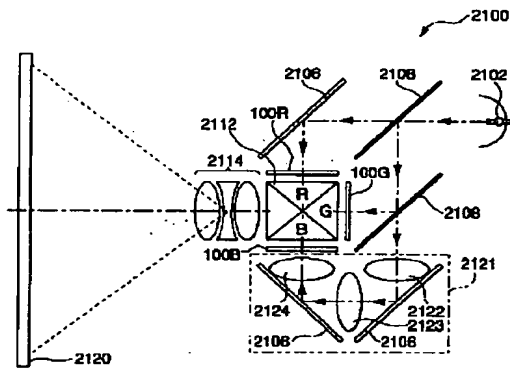
【図 18】



【図 19】



【図 20】



【図 21】

